

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hai-Zhi SONG**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **February 20, 2004**

For: **QUANTUM SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING  
THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: February 20, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-51177, filed February 27, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

*William L. Brooks*  
William L. Brooks  
Attorney for Applicant  
Reg. No. 34,129

WLB/jaz  
Atty. Docket No. **040070**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 2月27日  
Date of Application:

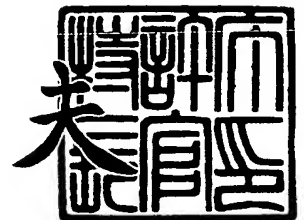
出願番号                      特願2003-051177  
Application Number:  
[ST. 10/C]:                      [JP2003-051177]

出願人                      富士通株式会社  
Applicant(s):

2003年10月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号    出証特2003-3085576

【書類名】 特許願

【整理番号】 0241796

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/66

【発明の名称】 量子半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 宋 海智

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 量子半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成され、二次元キャリアガスが形成された第 1 の半導体層と、

前記第 1 の半導体層上に形成された量子ドットと、

前記第 1 の半導体層上に、前記量子ドットを埋め込むように形成された第 2 の半導体層と、

前記第 2 の半導体層表面における前記量子ドット上の位置に形成されたドット状の構造体と、

前記ドット状の構造体の両側における前記第 2 の半導体層表面に形成された酸化物層と

を有することを特徴とする量子半導体装置。

【請求項 2】 請求項 1 記載の量子半導体装置において、  
前記量子ドットは、S-K モードにより自己形成された三次元成長島より成ることを特徴とする量子半導体装置。

【請求項 3】 請求項 1 又は 2 記載の量子半導体装置において、  
前記ドット状の構造体は、S-K モードにより自己形成された三次元成長島より成る  
ことを特徴とする量子半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の量子半導体装置において、

前記酸化物層の存在により、前記第 1 の半導体層のうちの前記酸化物層の下方領域に空乏化領域が形成されており、

前記空乏化領域により、チャネル領域が画定されている  
ことを特徴とする量子半導体装置。

【請求項 5】 請求項 4 記載の量子半導体装置において、  
前記チャネル領域の両端に接続されたソース／ドレイン領域を更に有する  
ことを特徴とする量子半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の量子半導体装置において、

前記ドット状の構造体の少なくとも一部が酸化されている  
ことを特徴とする量子半導体装置。

【請求項 7】 基板上に、二次元キャリアガスが形成された第 1 の半導体層を形成する工程と、

前記第 1 の半導体層上に、量子ドットを形成する工程と、

前記量子ドットを埋め込むように第 2 の半導体層を形成する工程と、

前記量子ドットの存在により前記第 2 の半導体層表面に生ずる歪により、前記第 2 の半導体表面における前記量子ドットの上方の位置に、ドット状の構造体を形成する工程と、

前記ドット状の構造体を目印として、前記ドット状の構造体の両側における前記第 2 の半導体層の表面に酸化物層を形成する工程と

を有することを特徴とする量子半導体装置の製造方法。

【請求項 8】 請求項 7 記載の量子半導体装置の製造方法において、  
前記酸化物層を形成する工程の後に、前記酸化物層を目印として、ソース／ドレイン領域を形成する工程を更に有する

ことを特徴とする量子半導体装置の製造方法。

【請求項 9】 請求項 7 又は 8 記載の量子半導体装置の製造方法において、  
前記量子ドットを形成する工程では、S-K モードにより自己形成することにより、三次元成長島より成る前記量子ドットを形成する

ことを特徴とする量子半導体装置の製造方法。

【請求項 10】 請求項 7 乃至 9 のいずれか 1 項に記載の量子半導体装置の製造方法において、

前記ドット状の構造体を形成する工程では、S-K モードにより自己形成することにより、三次元成長島より成る前記ドット状の構造体を形成する

ことを特徴とする量子半導体装置の製造方法。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、量子半導体装置及びその製造方法に係り、特に量子ドットを有する量子半導体装置及びその製造方法に関する。

**【0002】****【従来の技術】**

近年、MOSトランジスタ等の半導体装置の微細化が、急速に進められている。

**【0003】**

しかし、MOSトランジスタ等の半導体装置の微細化には限界がある。例えば、MOSトランジスタにおいてゲート長を短くしすぎると、正常にスイッチングすることができなくなってしまう。

**【0004】**

そこで、更なる微細化を実現しうるデバイスとして、単一電子デバイスが提案されている。単一電子デバイスは、消費電力が非常に小さいため、低消費電力化の観点からも大きな注目を集めている。

**【0005】**

例えば、特許文献1では、二次元電子構造を有する半導体上に複数に分割された第1のゲート電極が形成され、第1のゲート電極により囲まれた領域上に絶縁膜を介して第2のゲート電極が形成された単一電子トランジスタが提案されている。このような単一電子トランジスタでは、第1のゲート電極に電圧を印加することにより生じる空乏層により、電子閉じ込め領域が形成される。そして、第2の電極に電圧を印加することにより、単一の電子の移動を制御することが可能となる。

**【0006】**

また、特許文献2では、量子線を用いて単一電子トランジスタを構成することが提案されている。

**【0007】**

また、特許文献3では、半導体表面に形成された凹部内に量子箱を形成することにより構成された単一電子トランジスタが提案されている。

**【0008】**

しかしながら、上記のような提案されている単一電子デバイスは、比較的大きな領域に電子を閉じ込めるものであるため、離散的なエネルギー準位を得ることができず、クーロンブロックードのような古典的な効果しか得られなかった。しかも、温度を十分に低く設定しなければ、クーロンブロックードを起こすことができなかった。

**【0009】**

比較的高温においてクーロンブロックードを起こすためには、量子ドットを微小に形成することが必要である。微小な量子ドットにおいては離散的なエネルギー準位が得られるため、比較的高温においてもクーロンブロックードを起こすことが可能となる。例えば、室温においてクーロンブロックードを起こすためには、量子ドットのサイズを10 nm程度以下に設定する必要がある。

**【0010】**

特許文献4では、基板に形成された段差の側壁部に微小な量子ドットが形成され、量子ドットを覆うようにゲート電極が形成された単一電子デバイスが提案されている。特許文献4では、微小な量子ドットが用いられているため、比較的高温における動作が可能となる。

**【0011】****【特許文献1】**

特開平6-196720号公報

**【特許文献2】**

特表2002-518851号公報

**【特許文献3】**

特開平10-303408号公報

**【特許文献4】**

特開平11-150261号公報

**【特許文献5】**

特開平05-211342号公報

**【特許文献6】**



特開 2 0 0 0 - 9 1 4 5 1 号公報

【特許文献 7】

特開 2 0 0 1 - 7 3 1 5 号公報

【非特許文献 1】

Keyser et al., Appl. Phys. Lett. 76, 457 (2000)

【非特許文献 2】

T. Fujisawa et al., Phys. Rev. B63, 081304R (2001)

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、特許文献 4 において提案されている単一電子デバイスは、動作が極めて複雑であり、実用化が困難であった。

【0 0 1 3】

本発明の目的は、微小な量子ドットを用いた有用な量子半導体装置及びその製造方法を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上記目的は、基板上に形成され、二次元キャリアガスが形成された第 1 の半導体層と、前記第 1 の半導体層上に形成された量子ドットと、前記第 1 の半導体層上に、前記量子ドットを埋め込むように形成された第 2 の半導体層と、前記第 2 の半導体層表面における前記量子ドット上の位置に形成されたドット状の構造体と、前記ドット状の構造体の両側における前記第 2 の半導体層表面に形成された酸化物層とを有することを特徴とする量子半導体装置により達成される。

【0 0 1 5】

また、上記目的は、基板上に、二次元キャリアガスが形成された第 1 の半導体層を形成する工程と、前記第 1 の半導体層上に、量子ドットを形成する工程と、前記量子ドットを埋め込むように第 2 の半導体層を形成する工程と、前記量子ドットの存在により前記第 2 の半導体層表面に生ずる歪により、前記第 2 の半導体表面における前記量子ドットの上方の位置に、ドット状の構造体を形成する工程と、前記ドット状の構造体を目印として、前記ドット状の構造体の両側における

前記第2の半導体層の表面に酸化物層を形成する工程とを有することを特徴とする量子半導体装置の製造方法により達成される。

#### 【0016】

##### 【発明の実施の形態】

本発明の一実施形態による量子半導体装置及びその製造方法を図1乃至図8を用いて説明する。図1は、本実施形態による量子半導体装置を示す斜視図である。図2は、本実施形態による量子半導体装置を示す断面図及び平面図である。図2(a)は断面図であり、図2(b)は平面図である。図2(a)は、図2(b)のA-A'線断面図である。

#### 【0017】

##### (量子半導体装置)

まず、本実施形態による量子半導体装置について図1及び図2を用いて説明する。

#### 【0018】

図1及び図2に示すように、基板10上には、ノンドープのAlGaAs層12が形成されている。基板10としては、例えばGaAsより成る半絶縁性基板を用いる。AlGaAs層12は、バッファ層として機能するものである。AlGaAs層12の厚さは、例えば200nm程度となっている。

#### 【0019】

AlGaAs層12上には、n-AlGaAs層14が形成されている。n-AlGaAs層14の厚さは、例えば10～20nmとなっている。

#### 【0020】

n-AlGaAs層14上には、ノンドープのAlGaAs層16が形成されている。AlGaAs層16は、スペーサ層として機能するものである。AlGaAs層16の厚さは、例えば5～10nm程度となっている。

#### 【0021】

AlGaAs層16上には、半導体層、具体的にはノンドープのGaAs層18が形成されている。GaAs層18の厚さは、例えば5nm程度となっている。

。

## 【0022】

n-AlGaAs層14、ノンドープのAlGaAs層16、及びノンドープのGaAs層18により、二次元電子ガス(2DEG)を形成するための変調ドープ構造が構成されている。このような変調ドープ構造においては、GaAs層18に二次元電子ガス19(図5参照)が形成される。本実施形態において、n-AlGaAs層14を下層側に形成し、ノンドープのGaAs層18を上層側に形成しているのは、量子ドット20と二次元電子ガス19との間の距離を短く設定するためである。二次元電子ガス19と量子ドット20との距離は、例えば5nm以下に設定することが望ましい。なお、図1においては、二次元電子ガス19が省略されている。

## 【0023】

なお、ここでは、n-AlGaAs層14上にノンドープのAlGaAs層16を介してノンドープのGaAs層18が形成された構造を例に説明したが、二次元電子ガス19を形成するための構造は、このような構造に限定されるものではない。例えば、ノンドープのGaAs層18上に、ノンドープのAlGaAs層16を介して、n-AlGaAs層14を形成してもよい。但し、量子ドット20と二次元電子ガス19との距離を短く設定するためには、上述したような構造の方が有利である。

## 【0024】

ノンドープのGaAs層18上には、量子ドット20が形成されている。量子ドット20は、S-Kモードにより自己形成された三次元成長島より成るものである。量子ドット20の材料としては、GaAs層18と格子定数が異なる材料が用いられている。例えば、量子ドット20の材料として、例えばInAs、InGaAs、又はInAlAs等を用いることができる。量子ドット20は、例えば30nm以下の小さいサイズで形成されている。なお、上述したように、量子ドットにおいて離散的なエネルギー準位を形成するためには、量子ドットを小さめに形成することが望ましい。

## 【0025】

ノンドープのGaAs層18上には、量子ドット20を埋め込むように、半導

体層 22、具体的には、ノンドープの GaAs 層が形成されている。半導体層 22 の厚さは、例えば 5 ～ 15 nm 以下となっている。半導体層 22 の表面には、半導体層 22 により埋め込まれた量子ドット 20 の存在により、結晶歪が生じている。

#### 【0026】

なお、ここでは、半導体層 22 の厚さを 5 ～ 15 nm 程度と比較的薄めに形成したが、半導体層 22 の厚さは、5 ～ 15 nm 程度に限定されるものではない。例えば、半導体層 22 を厚めに形成してもよい。半導体層 22 を厚めに形成すれば、量子ドット 20 とドット状の構造体 24 との結合を防止することが可能となる。

#### 【0027】

半導体層 22 の表面には、ドット状の構造体 24 が形成されている。ドット状の構造体 24 は、半導体層 22 の表面における量子ドット 20 上の位置に正確に形成されている。ドット状の構造体 24 は、S-K (Stranski-Krastanow) モードにより自己形成された三次元成長島より成るものである。

#### 【0028】

S-K モードとは、エピタキシャル成長される半導体結晶が、成長開始当初は 2 次元成長（膜成長）するが、膜の弾性限界を超えた段階で 3 次元成長するモードのことである。下地の材料と格子定数が異なる膜をエピタキシャル成長することにより、3 次元成長島より成る量子ドットが自己形成される。S-K モードは、量子ドットを容易に自己形成することができるモードであるため、光半導体装置等の分野で広く用いられている。

#### 【0029】

なお、ドット状の構造体 24 が、半導体層 22 の表面における量子ドット 20 上の位置に正確に形成されているのは、半導体層 22 の表面のうちの結晶歪が生じている箇所に、ドット状の構造体 24 が自己形成されやすい傾向があるためである。また、ドット状の構造体 24 は、量子ドットでもよいし、アンチドットでもよい。

#### 【0030】

ドット状の構造体 24 の材料としては、半導体層 22 と格子定数が異なる材料が用いられている。例えば、ドット状の構造体 24 の材料として、InAlAs が用いられている。本実施形態でドット状の構造体 24 の材料として InAlAs を用いているのは、InAlAs より成るドット状の構造体 24 は、電子に対して障壁として機能し、しかも、量子ドット 20 に対して電氣的に悪影響を及ぼさないからである。

#### 【0031】

なお、ここでは、ドット状の構造体 24 の材料として、InAlAs を用いる場合を例に説明したが、ドット状の構造体 24 の材料は InAlAs に限定されるものではない。例えば、ドット状の構造体 24 の材料として、InAs、InGaAs 等を用いてもよい。また、ドット状の構造体 24 の材料として、金属を用いてもよい。

#### 【0032】

図 1 及に示すように、半導体層 22 の表面におけるドット状の構造体 24 の両側には、酸化物層 26a、26b が形成されている。酸化物層 26a、26b の厚さは、例えば 5 nm 程度と厚く形成されている。酸化物層 26a、26b をこのように厚く形成しているのは、GaAs 層 18 のうちの酸化物層 26a、26b の下方領域に空乏化領域 28a、28b を形成し、この空乏化領域 28a、28b によりチャンネル領域 29 を画定するためである。

#### 【0033】

図 3 は、本実施形態による量子半導体装置のエネルギーバンド構造を示す図（その 1）である。

#### 【0034】

図 3 から分かるように、GaAs 層 18 のうちの酸化物層 26a、26b の下方領域は、空乏化されている。

#### 【0035】

なお、酸化物層 26a、26b を厚く形成すると、酸化物層 26a、26b の下方領域に空乏化領域 28a、28b が形成されることは、非特許文献 1 に記載されている。

## 【0 0 3 6】

半導体層 2 2 には、半導体層 2 2 の表面から G a A s 層 1 8 に達するように、ソース／ドレイン領域 3 0 a、3 0 b が形成されている。ソース／ドレイン領域 3 0 a、3 0 b は、空乏化領域 2 8 a、2 8 b により画定されたチャネル領域 2 9 の両端に接続されるように形成されている。

## 【0 0 3 7】

ドット状の構造体 2 4 上には、ゲート電極 3 2 が形成されている。

## 【0 0 3 8】

こうして本実施形態による量子半導体装置が構成されている。

## 【0 0 3 9】

次に、本実施形態による量子半導体装置の動作について図 4 乃至図 5 を用いて説明する。図 4 は、本実施形態による量子半導体装置のエネルギーバンド構造を示す図（その 2）である。図 4（a）は、ゲート電極に電圧を印加していない状態におけるエネルギーバンド構造を示している。図 4（b）は、ゲート電極に負の電圧を印加した状態におけるエネルギーバンド構造を示している。図 5 は、本実施形態による量子半導体装置の動作を示す概念図である。図 5 は、図 2（b）における B-B' 線に沿った断面を示している。図 5（a）は、ゲート電極に電圧が印加されていない状態における動作を示している。図 5（b）は、ゲート電極に負の電圧が印加されている状態における動作を示している。

## 【0 0 4 0】

ゲート電極 3 2 に電圧が印加されていない状態においては、エネルギーバンド構造は図 4（a）に示すようになっている。このため、図 5（a）に示すように、二次元電子ガス 1 9 において電子の移動が遮断されることはない。

## 【0 0 4 1】

一方、ゲート電極 3 2 に電圧が印加されている状態においては、エネルギーバンド構造は、図 4（b）に示すようになる。即ち、フェルミレベル  $E_f$  が二次元電子ガスの基底状態より十分に低くなり、二次元電子ガス 1 9 におけるキャリアが減少する。このため、図 5（b）に示すように、二次元電子ガス 1 9 における電子の移動が遮断される。但し、図 4（b）に示すように、量子ドット 2 0 にお

ける量子化レベルとフェルミレベル $E_f$ とが等しくなるようにゲート電極 32 に印加する電圧を適宜設定すれば、電子は量子ドット 20 を経由して移動することが可能となる。そして、ゲート電極 32 に印加する電圧を適宜制御することにより、一つ一つの電子の移動を制御することが可能となる。

#### 【0042】

しかも、本実施形態では、微細な量子ドット 20 が用いられているため、量子ドット 20 において離散的なエネルギー準位を形成することができる。このため、量子ドット 20 において二重障壁構造を得ることができる。このため、本実施形態によれば、比較的高温においても正常に動作し得る量子半導体装置を提供することが可能となる。

#### 【0043】

本実施形態による量子半導体装置は、半導体層 22 の表面における量子ドット 20 の上方の位置にドット状の構造体 32 が形成されており、ドット状の構造体 32 を目印として、酸化物層 26a、26b が形成されていることに主な特徴がある。

#### 【0044】

一般に、量子ドットを埋め込むように半導体層を形成した後においては、埋め込まれた量子ドットの位置を正確に検出することは極めて困難である。

#### 【0045】

これに対し、本実施形態では、量子ドット 20 の存在により半導体層 22 表面に生ずる結晶歪により、半導体層 22 表面における量子ドット 20 の上方の位置に正確にドット状の構造体 24 が形成される。このため、ドット状の構造体 24 を目印として、酸化物層 26a、26b を形成することができる。そして、酸化物層 26a、26b を目印として、ソース／ドレイン領域 30a、30b を形成することができる。従って、本実施形態によれば、自己形成された微細な量子ドット 20 を半導体層 22 により埋め込んだ場合であっても、量子半導体装置を確実に形成することができる。

#### 【0046】

また、本実施形態によれば、自己形成された微小な量子ドット 20 が用いられ

ているため、量子ドット 20 において離散的なエネルギー準位を得ることができる。このため、比較的高温で動作しうる量子半導体装置を提供することができる。

#### 【0047】

(量子半導体装置の製造方法)

次に、本実施形態による量子半導体装置の製造方法を図 6 乃至図 8 を用いて説明する。図 6 乃至図 8 は、本実施形態による量子半導体装置の製造方法を示す工程断面図である。図 6 及び図 7 は、図 2 (b) における A-A' 線に沿った断面を示している。図 8 は、図 2 (b) における B-B' 線に沿った断面を示している。

#### 【0048】

まず、図 6 (a) に示すように、例えば MBE 法又は MOCVD 法等により、基板 10 上にノンドープの AlGaAs 層 12 を形成する。基板 10 としては、例えば GaAs より成る半絶縁性基板を用いる。ノンドープの AlGaAs 層 12 の厚さは、例えば 200 nm とする。

#### 【0049】

次に、例えば MBE 法又は MOCVD 法等により、ノンドープの AlGaAs 層 12 上に、n-AlGaAs 層 14 を形成する。n-AlGaAs 層 14 の厚さは、例えば 10 ~ 20 nm とする。

#### 【0050】

次に、例えば MBE 法又は MOCVD 法等により、n-AlGaAs 層上に、ノンドープの AlGaAs 層 16 を形成する。ノンドープの AlGaAs 層 16 の厚さは、例えば 5 ~ 10 nm 程度とする。

#### 【0051】

次に、例えば MBE 法又は MOCVD 法等により、ノンドープの AlGaAs 層 16 上に、半導体層、即ちノンドープの GaAs 層 18 を形成する。GaAs 層 18 の厚さは、例えば 5 nm 程度とする。

#### 【0052】

こうして、n-AlGaAs 層 14、ノンドープの AlGaAs 層 16、及び



ノンドープのGaAs層18により、二次元電子ガス(2DEG)を形成するための変調ドープ構造が構成される。このような変調ドープ構造においては、GaAs層18に二次元電子ガスが形成される。GaAs層18における二次元電子ガス19のキャリア密度は、例えば $1 \times 10^{11} \text{ cm}^{-2}$ 程度に設定する。二次元電子ガス19におけるキャリア密度をこのように比較的低めに設定しているのは、ゲート電極32に電圧を印加した際に、ゲート電極32の下方のチャネル領域29を容易に空乏化し得るようにするためである。なお、n-AlGaAs層14、ノンドープのAlGaAs層16及びノンドープのGaAs層18の厚さやドーパント不純物の濃度を適宜設定することにより、二次元電子ガス19のキャリア密度を適宜設定することが可能である。

#### 【0053】

次に、図6(b)に示すように、例えばMBE法又はMOCVD法等により、量子ドット20を形成する。量子ドット20の材料としては、下地であるGaAs層18と格子定数が異なる材料を用いる。例えば、量子ドット20の材料として、InAs、InGaAs、InAlAs等を用いることができる。下地であるGaAs層18の材料と格子定数が異なる材料を用いるため、GaAs層18上には、S-Kモードにより三次元成長島より成る量子ドットが自己形成される。量子ドット20の密度は、例えば $1 \times 10^9 \text{ cm}^{-2}$ 程度とする。

#### 【0054】

次に、図7(a)に示すように、例えばMBE法又はMOCVD法等により、量子ドット20を埋め込むように半導体層、即ちGaAs層22を形成する。GaAs層22の厚さは、例えば5~15nm程度とする。量子ドット20の存在により、半導体層22の表面における量子ドット20の上方の位置には、結晶歪が生じる。

#### 【0055】

次に、例えばMBE法又はMOCVD法等により、ドット状の構造体24を形成する。ドット状の構造体24の材料としては、下地であるGaAs層22と格子定数が異なる材料を用いる。例えば、ドット状の構造体24の材料として、InAlAsを用いることができる。ドット状の構造体24は、GaAs層22の

表面における結晶歪が生じている箇所に自己形成されやすい傾向がある。このため、ドット状の構造体 24 は、GaAs 層 22 の表面における量子ドット 20 の上方の位置に正確に形成される。ドット状の構造体 24 は、量子ドット 20 の上方に正確に形成されているため、後工程において酸化物層 26a、26b を形成する際に、酸化物層 26a、26b を形成すべき領域を認定する際を目印となる。

#### 【0056】

次に、図 7 (b) に示すように、ドット状の構造体 24 を目印として、GaAs 層 22 の表面におけるドット状の構造体 24 の両側に、酸化物層 26a、26b を形成する。酸化物層 26a、26b の厚さは、例えば 5 nm とする。酸化物層 26a、26b は、例えば、原子間力顕微鏡の探針 34 を GaAs 層 22 の表面に近接し、探針 32 と基板 10 との間に電圧を印加しながら、探針 34 をスキャンすることにより形成することができる。酸化物層 26a、26b を厚めに形成することにより、GaAs 層 18 のうちの酸化物層 26a、26b の下方領域に、空乏化領域 28a、28b が形成される。目印となるドット状の構造体 24 の下方に量子ドット 20 が埋め込まれているため、量子ドット 20 の両側に、正確に空乏化領域 28a、28b が位置する。そして、空乏化領域 28a、28b により、チャネル領域 29 が画定される。量子ドット 20 は、チャネル領域 29 上に位置することとなる。

#### 【0057】

次に、図 8 (a) に示すように、酸化物層 26a、26b とを目印として、チャネル領域 29 の両側に接続されるようにソース／ドレイン領域 30a、30b を形成する。ソース／ドレイン領域 30a、30b は、ソース／ドレイン領域 30a、30b を形成すべき領域上に金属膜を堆積し、この後、熱処理により金属を拡散することにより形成することが可能である。

#### 【0058】

酸化物層 26a、26b の幅は数百 nm 程度と比較的大きいため、一般的なフォトリソグラフィ装置、例えば電子ビーム露光装置を用いた場合であっても、酸化物層 26a、26b のパターンを認識することが可能である。一方、ソース／

ドレイン領域 30 a、30 b の幅も数百 nm 程度と比較的大きい。このため、酸化物層 26 a、26 b を目印として、ソース／ドレイン領域 30 a、30 b を形成するためマスクパターンの位置合わせを行うことが可能である。そして、フォトリソグラフィ技術を用いて、適切な位置にソース／ドレイン領域 30 a、30 b を形成することができる。

#### 【0059】

次に、図 8 (b) に示すように、ドット状の構造体 24 上に、ゲート電極 32 を形成する。

#### 【0060】

こうして、本実施形態による量子半導体装置が製造される。

#### 【0061】

(変形例 (その 1))

次に、本発明の一実施形態の変形例 (その 1) による量子半導体装置を図 9 を用いて説明する。図 9 は、本変形例による量子半導体装置を示す平面図である。なお、図 9 においては、ソース／ドレイン領域等の構成要素が省略されている。

#### 【0062】

本変形例による量子半導体装置は、酸化物層 26 a と酸化物層 26 b との間の距離が広めに設定されていることに主な特徴がある。酸化物層 26 a と酸化物層 26 b との間の距離は、例えば 150 nm となっている。

#### 【0063】

本変形例によれば、酸化物層 26 a と酸化物層 26 b との間隔が広めに設定されているため、酸化物層 26 a の下方に形成される空乏化領域 28 a と酸化物層 26 b の下方に形成される空乏化領域 28 b との間隔を広くすることができる。このため、本変形例によれば、空乏化領域 28 a、28 b が量子ドット 20 に対して悪影響を及ぼすのを防止することができる。

#### 【0064】

(変形例 (その 2))

次に、本発明の一実施形態の変形例 (その 2) による量子半導体装置を図 10 を用いて説明する。図 10 は、本変形例による量子半導体装置を示す断面図及び

平面図である。図 10 (a) は断面図であり、図 10 (b) は平面図である。図 10 (a) は、図 10 (b) の A-A' 線断面図である。

#### 【0065】

本変形例による量子半導体装置は、ドット状の構造体 24 が酸化されていることに主な特徴がある。

#### 【0066】

図 10 に示すように、ドット状の構造体 24 が酸化されており、半導体層 22 の表面における量子ドット 20 の上方の位置には酸化物層 26 c が形成されている。量子ドット 20 の上方の位置に酸化物層 26 c が形成されているため、量子ドット 20 の近傍までもが酸化物層 26 c の影響により空乏化される。

#### 【0067】

このように、ドット状の構造体 24 を酸化するようにしてもよい。

#### 【0068】

(変形例 (その 3))

次に、本発明の一実施形態の変形例 (その 3) による量子半導体装置を図 11 を用いて説明する。図 11 は、本変形例による量子半導体装置を示す断面図及び平面図である。図 11 (a) は断面図であり、図 11 (b) は平面図である。図 11 (a) は、図 11 (b) の A-A' 線断面図である。

#### 【0069】

本変形例による量子半導体装置は、ドット状の構造体 24 の一部のみが酸化されていることに主な特徴がある。

#### 【0070】

図 11 に示すように、本変形例では、ドット状の構造体 24 の一部のみ、具体的には、ドット状の構造体 24 の表面のみが酸化されている。

#### 【0071】

図 10 を用いて上述した量子半導体装置では、ドット状の構造体 24 の全体が酸化されているため、量子ドット 20 の近傍が酸化物層 26 c の影響により過度に空乏化してしまうことが考えられる。

#### 【0072】

これに対し、本変形例によれば、ドット状の構造体 24 の一部のみが酸化されているため、量子ドット 20 の近傍が酸化物層 26 c の影響により過度に空乏化してしまうのを防止することが可能となる。

#### 【0073】

##### [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

#### 【0074】

例えば、上記実施形態では、単一電子トランジスタとして動作し得る量子半導体装置を例に説明したが、本発明は、単一電子トランジスタのみならず、あらゆる量子半導体装置に適用することができる。例えば、単一電子メモリや量子コンピュータ等として動作する量子半導体装置にも適用することが可能である。即ち、本発明によれば、半導体層 22 の表面における量子ドット 20 上の位置にドット状の構造体 24 を正確に形成し、ドット状の構造体 24 を目印として、様々な構成要素を形成することにより、あらゆる量子半導体装置を提供することが可能である。

#### 【0075】

また、上記実施形態では、酸化物層 26 a、26 b を形成した後にソース／ドレイン領域 30 a、30 b を形成したが、ソース／ドレイン領域 30 a、30 b を形成した後に、酸化物層 26 a、26 b を形成してもよい。

#### 【0076】

また、上記実施形態では、二次元キャリアガスとして二次元電子ガスを形成したが、二次元正孔ガス (2DHG) を形成してもよい。各層の導電型を適宜設定すれば、二次元正孔ガスを形成することが可能である。

#### 【0077】

(付記 1) 基板上に形成され、二次元キャリアガスが形成された第 1 の半導体層と、

前記第 1 の半導体層上に形成された量子ドットと、

前記第 1 の半導体層上に、前記量子ドットを埋め込むように形成された第 2 の半導体層と、

前記第 2 の半導体層表面における前記量子ドット上の位置に形成されたドット状の構造体と、

前記ドット状の構造体の両側における前記第 2 の半導体層表面に形成された酸化物層と

を有することを特徴とする量子半導体装置。

【0 0 7 8】

(付記 2) 付記 1 記載の量子半導体装置において、

前記ドット状の構造体は、前記量子ドットの存在により前記第 2 の半導体層表面に生ずる歪により、前記第 2 の半導体層表面における前記量子ドット上の位置に形成されている

ことを特徴とする量子半導体装置。

【0 0 7 9】

(付記 3) 付記 1 又は 2 記載の量子半導体装置において、

前記量子ドットは、S-Kモードにより自己形成された三次元成長島より成ることを特徴とする量子半導体装置。

【0 0 8 0】

(付記 4) 付記 1 乃至 3 のいずれかに記載の量子半導体装置において、

前記ドット状の構造体は、S-Kモードにより自己形成された三次元成長島より成る

ことを特徴とする量子半導体装置。

【0 0 8 1】

(付記 5) 付記 1 乃至 4 のいずれかに記載の量子半導体装置において、

前記酸化物層の存在により、前記第 1 の半導体層のうちの前記酸化物層の下方領域に空乏化領域が形成されており、

前記空乏化領域により、チャネル領域が画定されている

ことを特徴とする量子半導体装置。

【0 0 8 2】

(付記 6) 付記 5 記載の量子半導体装置において、

前記チャネル領域の両端に接続されたソース／ドレイン領域を更に有する

ことを特徴とする量子半導体装置。

【0083】

(付記7) 付記1乃至6のいずれかに記載の量子半導体装置において、  
前記ドット状の構造体に接続されたゲート電極を更に有する  
ことを特徴とする量子半導体装置。

【0084】

(付記8) 付記1乃至7のいずれかに記載の量子半導体装置において、  
前記二次元キャリアガスと前記量子ドットとの間の距離が、5 nm以下である  
ことを特徴とする量子半導体装置。

【0085】

(付記9) 付記1乃至8のいずれかに記載の量子半導体装置において、  
前記ドット状の構造体は、他の量子ドット又はアンチドットより成る  
ことを特徴とする量子半導体装置。

【0086】

(付記10) 付記1乃至9のいずれかに記載の量子半導体装置において、  
前記ドット状の構造体の少なくとも一部が酸化されている  
ことを特徴とする量子半導体装置。

【0087】

(付記11) 基板上に、二次元キャリアガスが形成された第1の半導体層を  
形成する工程と、  
前記第1の半導体層上に、量子ドットを形成する工程と、  
前記量子ドットを埋め込むように第2の半導体層を形成する工程と、  
前記量子ドットの存在により前記第2の半導体層表面に生ずる歪により、前記  
第2の半導体表面における前記量子ドットの上方の位置に、ドット状の構造体を  
形成する工程と、  
前記ドット状の構造体を目印として、前記ドット状の構造体の両側における前  
記第2の半導体層の表面に酸化物層を形成する工程と  
を有することを特徴とする量子半導体装置の製造方法。

【0088】

(付記 12) 付記 11 記載の量子半導体装置の製造方法において、  
前記酸化物層を形成する工程の後に、前記酸化物層を目印として、ソース／ド  
レイン領域を形成する工程を更に有する  
ことを特徴とする量子半導体装置の製造方法。

【0089】

(付記 13) 付記 11 又は 12 記載の量子半導体装置の製造方法において、  
前記量子ドットを形成する工程では、S-Kモードにより自己形成することに  
より、三次元成長島より成る前記量子ドットを形成する  
ことを特徴とする量子半導体装置の製造方法。

【0090】

(付記 14) 付記 11 乃至 13 のいずれかに記載の量子半導体装置の製造方  
法において、  
前記ドット状の構造体を形成する工程では、S-Kモードにより自己形成する  
ことにより、三次元成長島より成る前記ドット状の構造体を形成する  
ことを特徴とする量子半導体装置の製造方法。

【0091】

(付記 15) 付記 11 乃至 14 のいずれかに記載の量子半導体装置の製造方  
法において、  
前記酸化物層を形成する工程では、前記第 2 の半導体層の表面に針状の導電体  
を近接し、前記針状の導電体と前記基板との間に電圧を印加することにより、前  
記酸化物層を形成する  
ことを特徴とする量子半導体装置の製造方法。

【0092】

(付記 16) 付記 15 記載の量子半導体装置の製造方法において、  
前記針状の導電体は、原子間力顕微鏡の探針である  
ことを特徴とする量子半導体装置の製造方法。

【0093】

【発明の効果】

以上の通り、本発明によれば、量子ドットの存在により半導体層表面に生ずる



結晶歪により、半導体層表面における量子ドットの上方の位置に正確にドット状の構造体が形成される。このため、ドット状の構造体を目印として、酸化物層を形成することができる。そして、酸化物層を目印として、ソース／ドレイン領域を形成することができる。従って、本発明によれば、自己形成された微細な量子ドットを半導体層により埋め込んだ場合であっても、量子半導体装置を確実に形成することができる。

#### 【0094】

また、本発明によれば、自己形成された微小な量子ドットが用いられているため、量子ドットにおいて離散的なエネルギー準位を得ることができる。このため、本発明によれば、比較的高温で動作しうる量子半導体装置を提供することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施形態による量子半導体装置を示す斜視図である。

##### 【図2】

本発明の一実施形態による量子半導体装置を示す断面図及び平面図である。

##### 【図3】

本発明の一実施形態による量子半導体装置のエネルギーバンド構造を示す図（その1）である。

##### 【図4】

本発明の一実施形態による量子半導体装置のエネルギーバンド構造を示す図（その2）である。

##### 【図5】

本発明の一実施形態による量子半導体装置の動作を示す概念図である。

##### 【図6】

本発明の一実施形態による量子半導体装置の製造方法を示す工程断面図（その1）である。

##### 【図7】

本発明の一実施形態による量子半導体装置の製造方法を示す工程断面図（その

2) である。

【図 8】

本発明の一実施形態による量子半導体装置の製造方法を示す工程断面図（その 3）である。

【図 9】

本発明の一実施形態の変形例（その 1）による量子半導体装置を示す平面図である。

【図 1 0】

本発明の一実施形態の変形例（その 2）による量子半導体装置を示す断面図及び平面図である。

【図 1 1】

本発明の一実施形態の変形例（その 3）による量子半導体装置を示す断面図及び平面図である。

【符号の説明】

1 0…基板

1 2…A l G a A s 層

1 4…n - A l G a A s 層

1 6…A l G a A s 層

1 8…G a A s 層

1 9…二次元電子ガス

2 0…量子ドット

2 2…G a A s 層

2 4…ドット状の構造体

2 6 a、2 6 b、2 6 c…酸化物層

2 8 a、2 8 b…空乏化領域

2 9…チャネル領域

3 0 a、3 0 b…ソース／ドレイン領域

3 2…電極

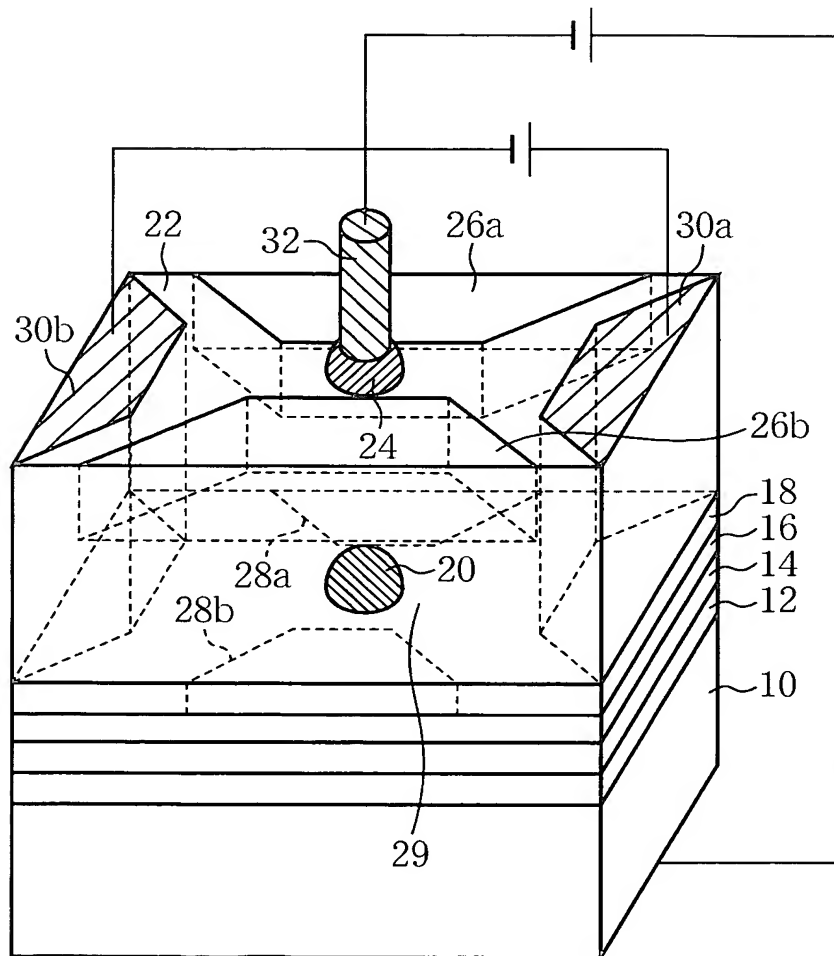
3 4…探針



【書類名】 図面

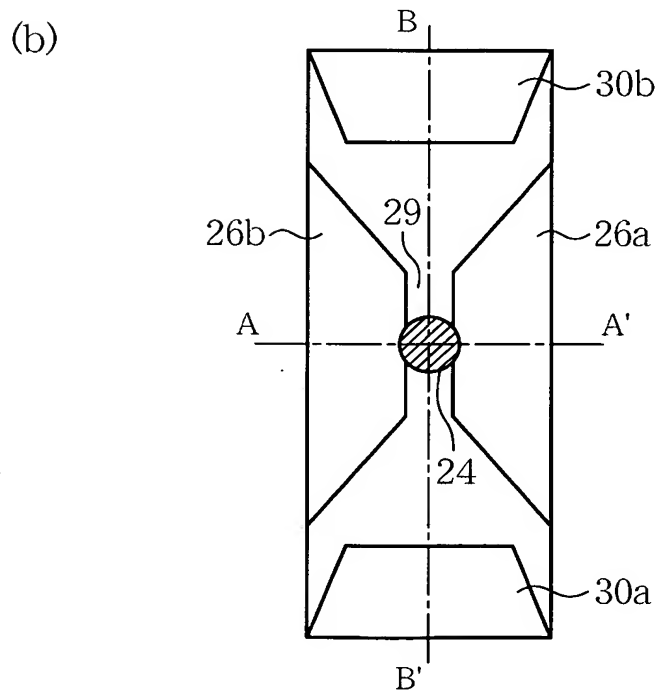
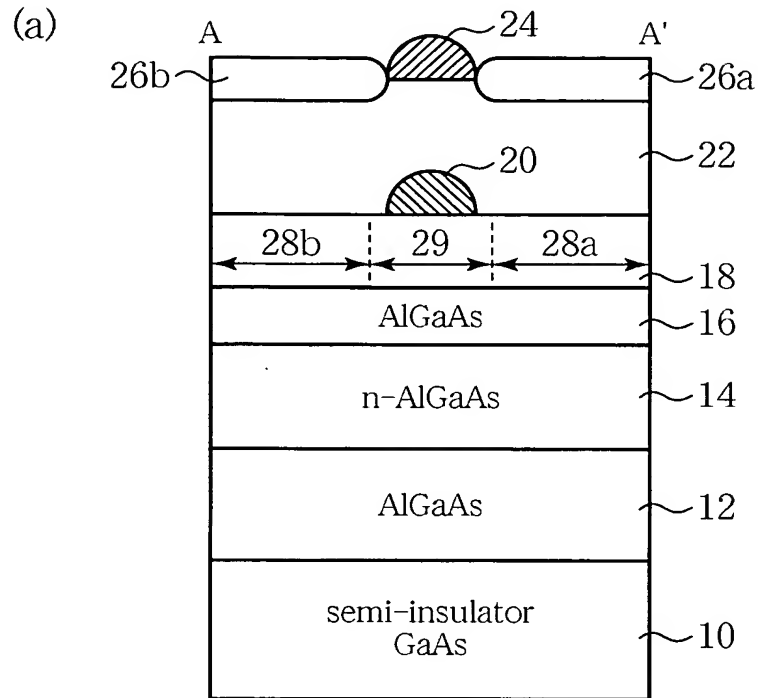
【図 1】

本発明の一実施形態による量子半導体装置を示す斜視図



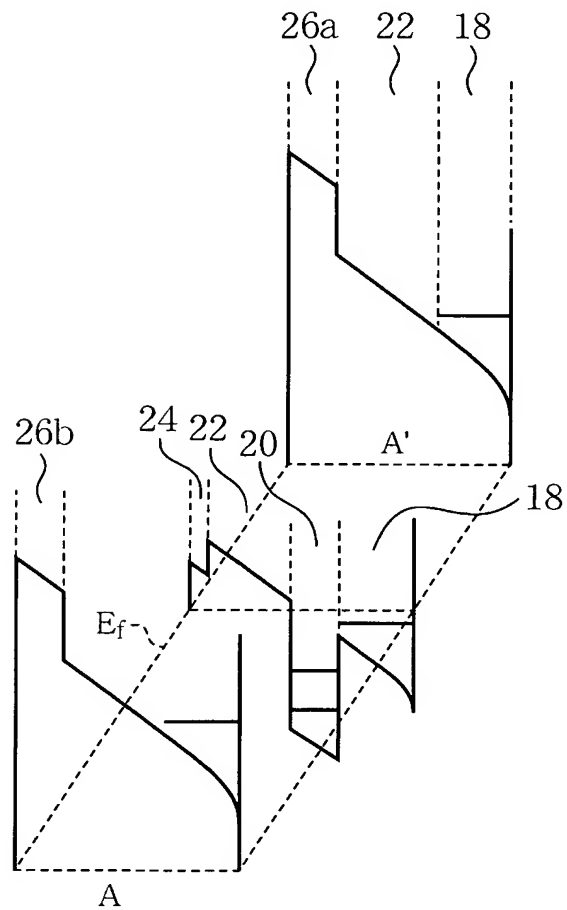
【図 2】

本発明の一実施形態による量子半導体装置を示す断面図及び平面図



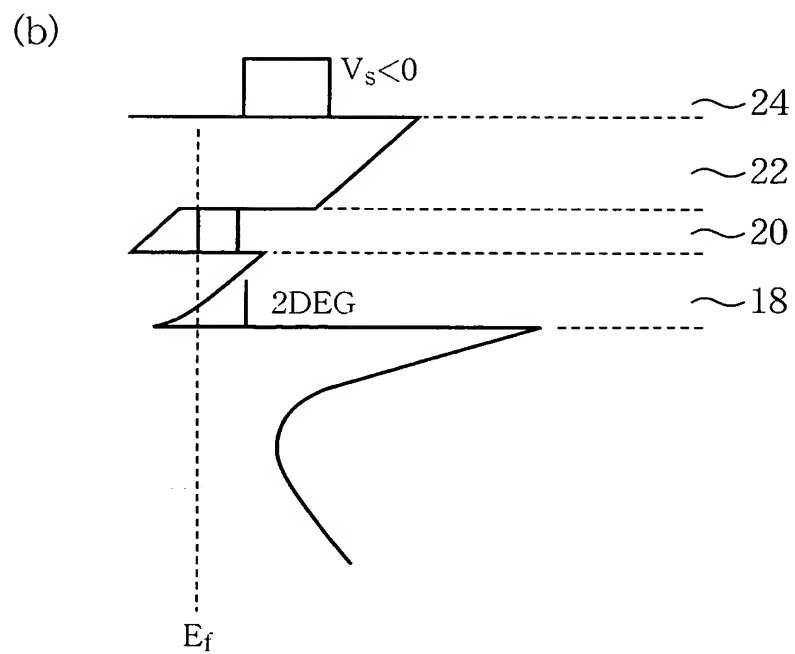
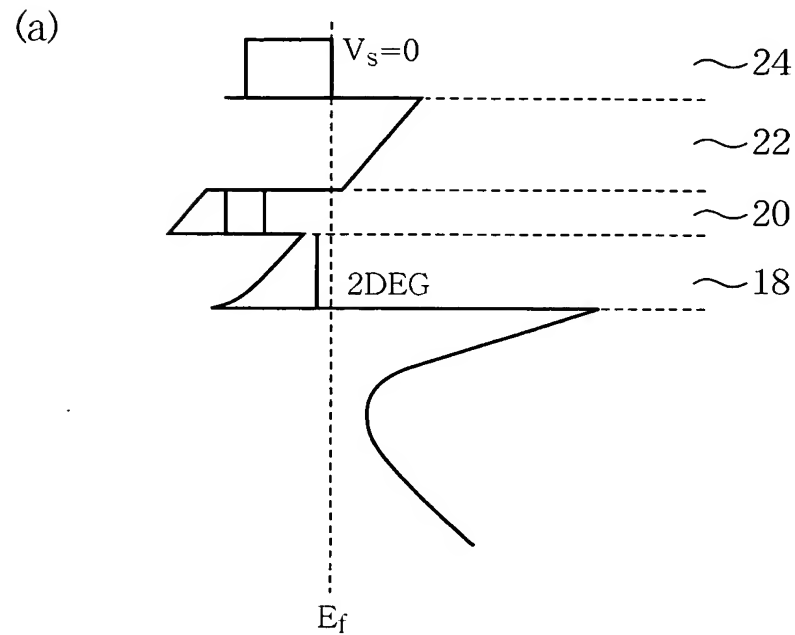
【図 3】

本発明の一実施形態による量子半導体装置の  
エネルギーバンド構造を示す図(その1)



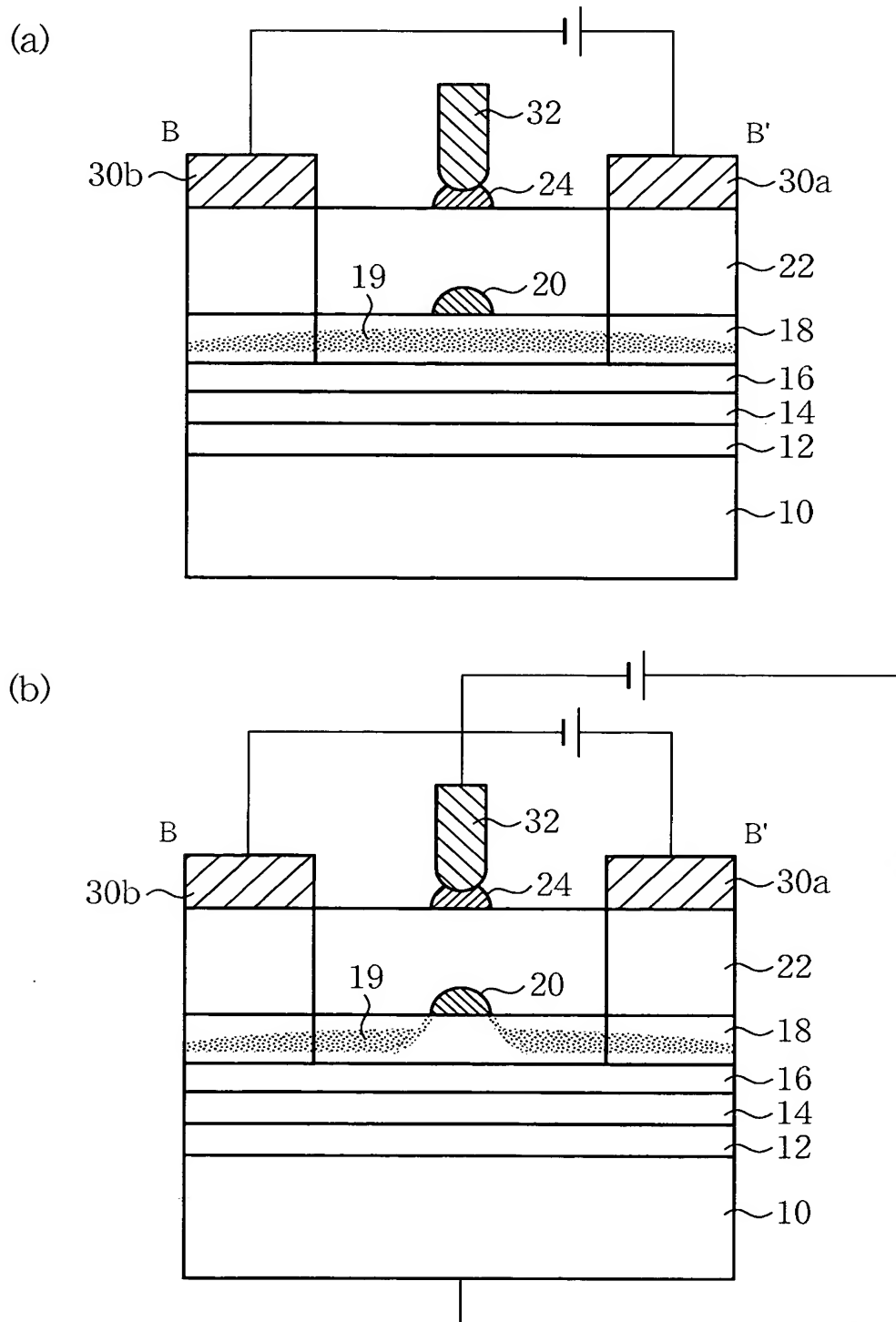
【図 4】

本発明の一実施形態による量子半導体装置の  
エネルギーバンド構造を示す図(その2)



【図 5】

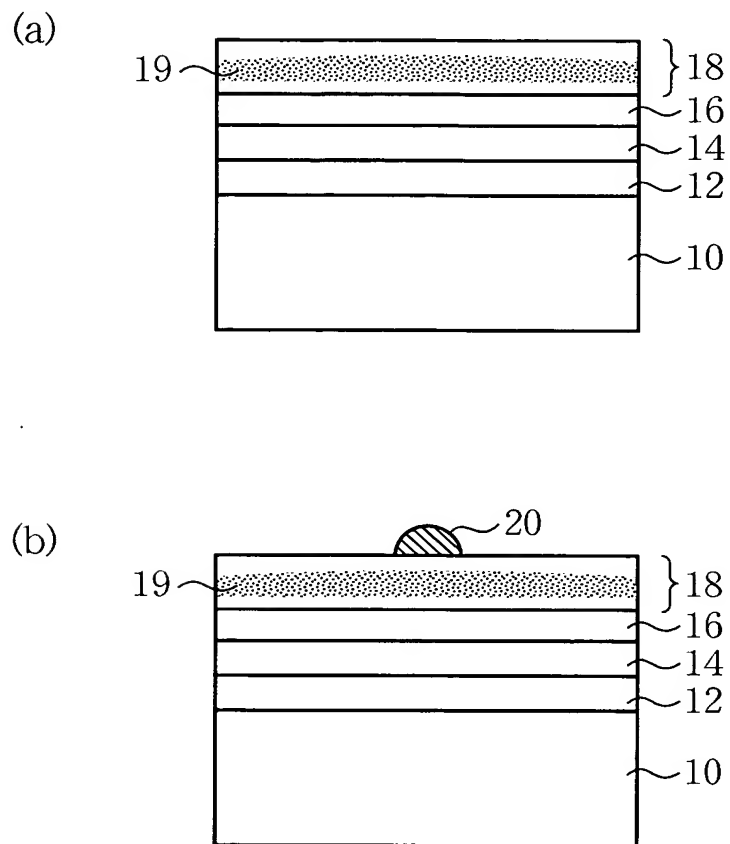
本発明の一実施形態による量子半導体装置の動作を示す概念図





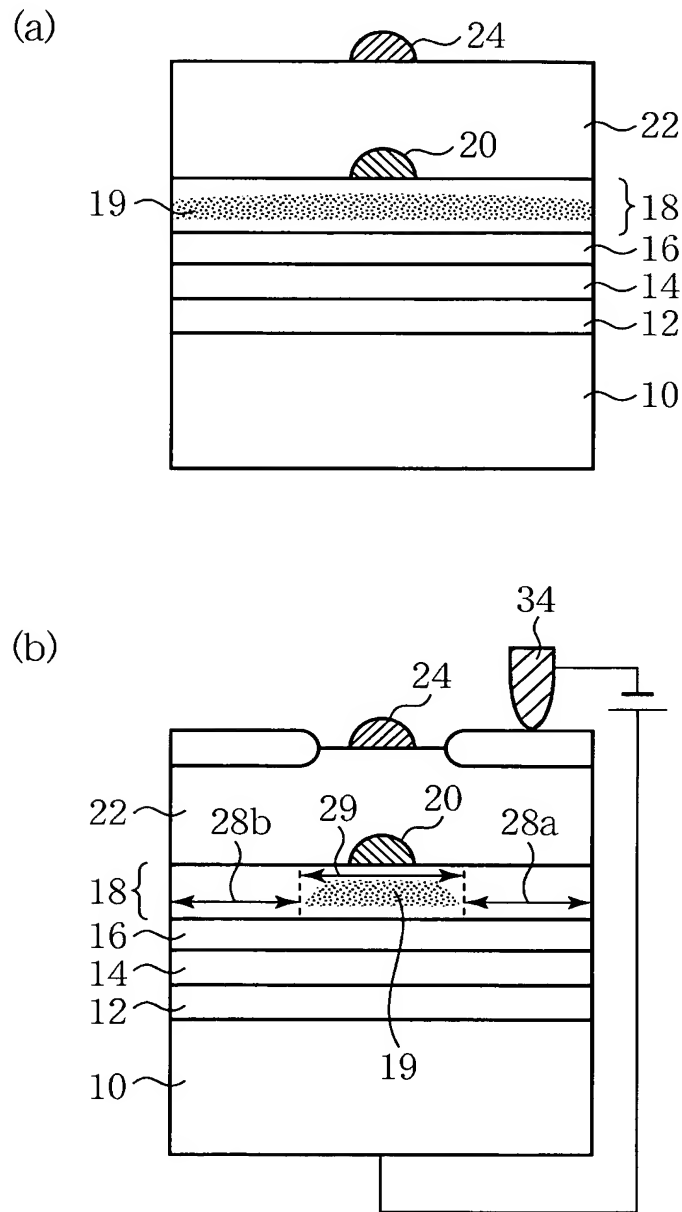
【図 6】

本発明の一実施形態による量子半導体装置の製造方法を示す  
工程断面図(その1)



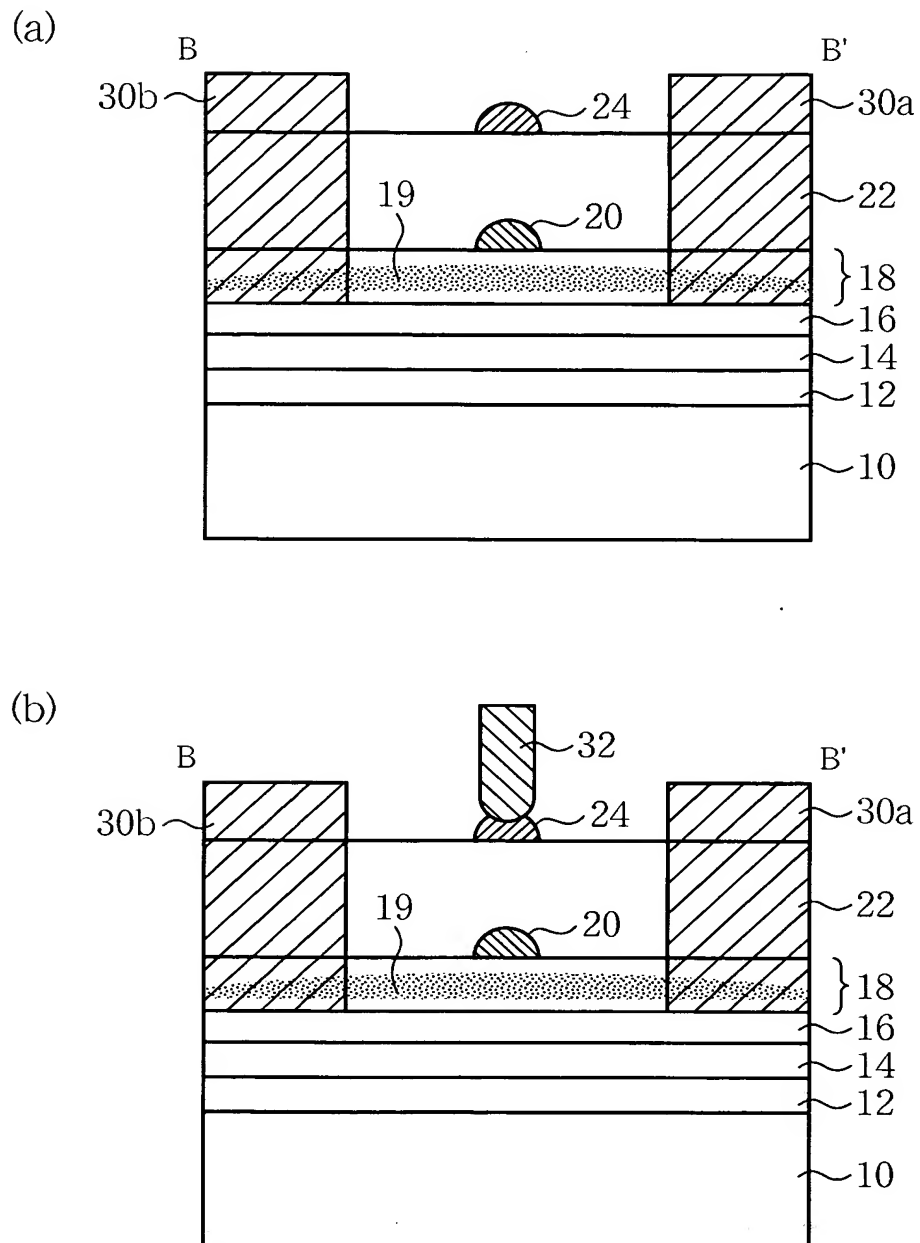
【図 7】

本発明の一実施形態による量子半導体装置の製造方法を示す  
工程断面図(その2)



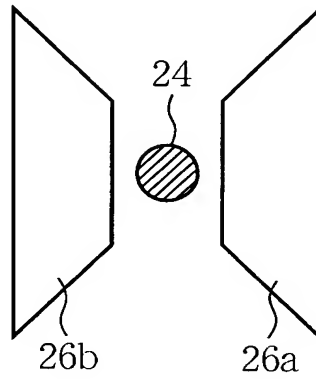
【图 8】

本発明の一実施形態による量子半導体装置の製造方法を示す  
工程断面図(その3)



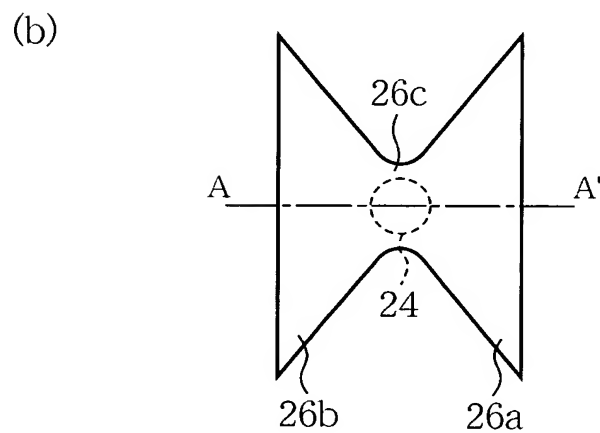
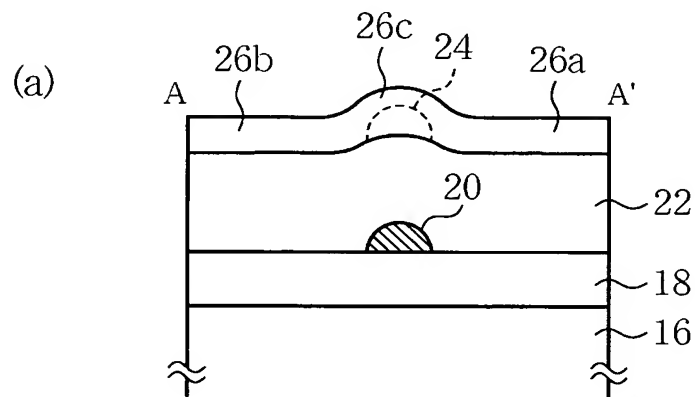
【図 9】

本発明の一実施形態の変形例(その1)による量子半導体装置を示す平面図



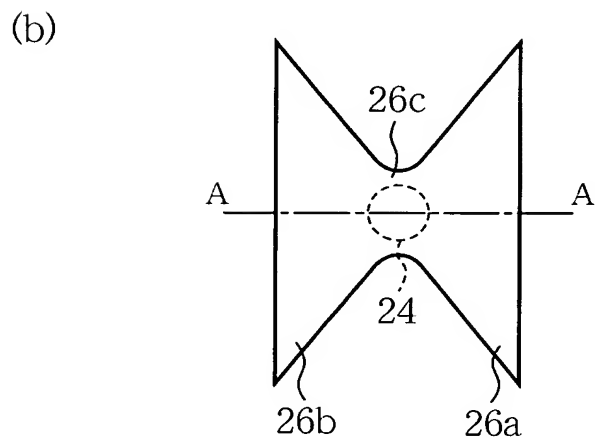
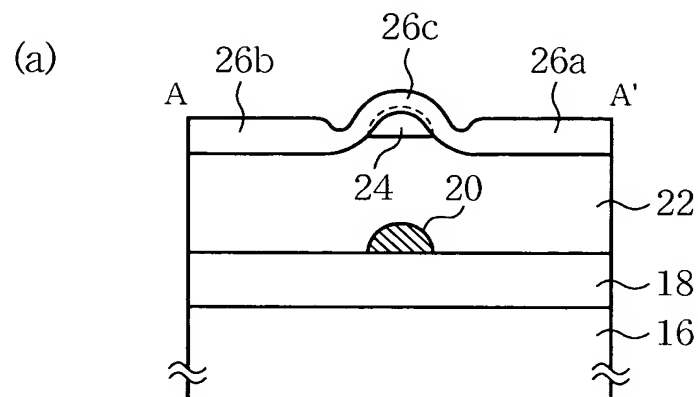
【図 10】

本発明の一実施形態の変形例(その2)による量子半導体装置を示す  
断面図及び平面図



【図 11】

本発明の一実施形態の変形例(その3)による量子半導体装置を示す  
断面図及び平面図



【書類名】 要約書

【要約】

【課題】 微小な量子ドットを用いた有用な量子半導体装置及びその製造方法を提供する。

【解決手段】 基板 1 0 上に形成され、二次元キャリアガスが形成された第 1 の半導体層 1 8 と、第 1 の半導体層上に形成された量子ドット 2 0 と、第 1 の半導体層上に、量子ドットを埋め込むように形成された第 2 の半導体層 2 2 と、第 2 の半導体層表面における量子ドット上の位置に形成されたドット状の構造体 2 4 と、ドット状の構造体の両側における第 2 の半導体層表面に形成された酸化物層 2 6 a、2 6 b とを有している。

【選択図】 図 1

特願 2 0 0 3 - 0 5 1 1 7 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社